

FRACTION FREQUENCY DIVIDER AND PLL CIRCUIT

Patent Number: JP10032486
Publication date: 1998-02-03
Inventor(s): HASEGAWA MORIHITO
Applicant(s):: FUJITSU LTD; FUJITSU VLSI LTD
Requested Patent: ☒ JP10032486
Application Number: JP19960185869 19960716
Priority Number(s):
IPC Classification: H03K23/00 ; H03L7/08 ; H03L7/081 ; H03L7/197
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a PLL circuit capable of making the suppression of spurious noise and the enhancement of the lock-up speed compatible.

SOLUTION: A phase shift circuit 27 generates plural phase shift signals FF whose phase is shifted respectively at a fixed angle at the same frequency as input signals fVCO based on the input signals fVCO. A selection circuit 28 successively selects the plural phase shift signals FF one by one based on selection signals S and outputs them. A frequency divider 29 frequencydivides the output signals X of the selection circuit 28 by the frequency division ratio of a prescribed integer. A selection signal generation circuit 32 generates the selection signals S based on the frequency division signals Pout of the frequency divider 29 and outputs them to the selection circuit 28. A counter circuit 35 outputs the count-up signals as fractional frequency division signals fp at the time of counting the prescribed number of the frequency division signals Pout of the frequency divider 29.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32486

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K 23/00			H 0 3 K 23/00	B
H 0 3 L 7/08			H 0 3 L 7/08	N
7/081				J
7/197			7/18	A

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平8-185869

(22) 出願日 平成8年(1996) 7月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 長谷川 守仁

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

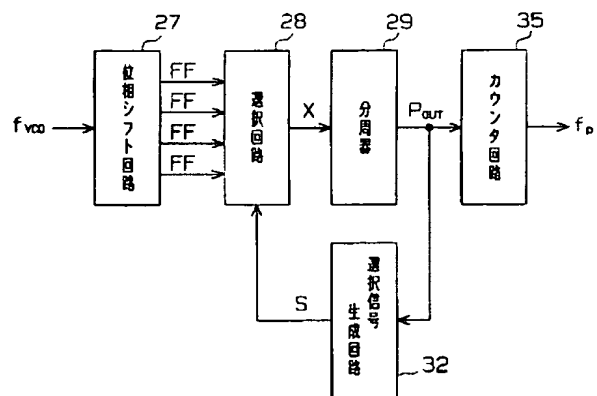
(54) 【発明の名称】 分数分周器及びPLL回路

(57) 【要約】

【課題】 スプリアスノイズの抑制と、ロックアップ速度の向上とを両立させ得るPLL回路を提供する。

【解決手段】 位相シフト回路27は、入力信号 f_{vco} に基づいて、該入力信号 f_{vco} と同一の周波数でそれぞれ一定の角度で位相をシフトした複数の位相シフト信号FFを生成する。選択回路28は、複数の位相シフト信号FFを選択信号Sに基づいて順次一つずつ選択して出力する。分周器29は、選択回路28の出力信号Xを所定の整数の分周比で分周する。選択信号生成回路32は、分周器29の分周信号Poutに基づいて選択信号Sを生成して選択回路28に出力する。カウンタ回路35は、分周器29の分周信号Poutを所定数カウントしたとき、そのカウントアップ信号を分数分周信号 f_p として出力する。

本発明の原理説明図



AL

【特許請求の範囲】

【請求項1】 入力信号に基づいて、該入力信号と同一の周波数でそれぞれ一定の角度で位相をシフトした複数の位相シフト信号を生成する位相シフト回路と、前記複数の位相シフト信号を選択信号に基づいて順次一つずつ選択して出力する選択回路と、前記選択回路の出力信号を所定の整数の分周比で分周する分周器と、前記分周器の分周信号に基づいて前記選択信号を生成して前記選択回路に出力する選択信号生成回路と、前記分周器の分周信号を所定数カウントしたとき、そのカウントアップ信号を分数分周信号として出力するカウンタ回路とから構成したことを特徴とする分数分周器。

【請求項2】 前記基準クロック信号を分周して基準信号を生成する基準分周器と、前記基準信号と、比較信号との位相を比較する位相比較器と、前記位相比較器の出力信号を電圧信号に変換するチャージポンプと、前記チャージポンプの出力信号を平滑するローパスフィルタと、前記ローパスフィルタの出力電圧に基づく周波数のパルス信号を出力する電圧制御発振器と、前記電圧制御発振器の出力信号を分周して、前記比較信号として出力する比較分周器と、からなるPLL回路であって、前記比較分周器は、前記電圧制御発振器の出力信号を、モジュール制御信号に基づいて、異なる分周比で交互に分周した分周信号を出力するプリスケアラと、前記プリスケアラの分周信号を分周して前記比較信号を生成するメインカウンタと、前記プリスケアラの分周信号を分周するスワローカウンタと、前記メインカウンタとスワローカウンタの分周信号に基づいて、前記モジュール制御信号を生成する制御回路と、から構成し、前記プリスケアラは、前記電圧制御発振器の出力信号に基づいて、該出力信号と同一の周波数でそれぞれ一定の角度で位相をシフトした複数の位相シフト信号を生成する位相シフト回路と、前記複数の位相シフト信号を選択信号に基づいて順次一つずつ選択して出力する選択回路と、前記選択回路の出力信号を所定の整数の分周比で分周する分周器と、前記分周器の分周信号に基づいて前記選択信号を生成して前記選択回路に出力する選択信号生成回路と、前記分周器の分周信号を所定数カウントしたとき、そのカウントアップ信号を分数分周信号として出力するとともに、該分数分周信号をモジュール制御信号として前記

選択回路に出力して、前記選択回路による前記位相シフト信号の選択を停止させる分数分周比設定用カウンタ回路とから構成したことを特徴とするPLL回路。

【請求項3】 前記位相シフト回路は、電圧制御発振器の出力信号がクロック信号として入力され、そのクロック信号の位相を等間隔でずらした複数の位相シフト信号を生成する位相シフトフリップフロップ回路で構成し、前記選択回路は、前記選択信号に基づいて、前記位相シフト信号をその位相の順番で順次一つずつ選択して出力することを特徴とする請求項2記載のPLL回路。

【請求項4】 前記位相シフト回路には、前記電圧制御発振器の出力信号を周波数を周波数通倍器で通倍して入力し、前記周波数通倍器の通倍数と、前記位相シフト回路の位相シフト角度と、前記分数分周比設定用カウンタ回路のカウント数とに基づいて、分数分周比を設定可能としたことを特徴とする請求項2記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、出力信号周波数を設定された周波数に一致させるように動作するPLL回路に使用する比較分周器に関するものである。

【0002】近年、自動車電話や携帯電話等の移動体通信機器にPLL回路が使用されている。このようなPLL回路では、移動体通信機器の利便性を向上させるために、出力信号周波数を所望の周波数に速やかに切り替える必要がある。そこで、PLL回路のロックアップ速度を高速化する必要がある。

【0003】

【従来の技術】図6は、従来のPLL回路の一例を示す。発振器1は水晶振動子の発振に基づく固有周波数の基準クロック信号CKを基準分周器2に出力する。基準分周器2は、カウンタ回路で構成され、シフトレジスタ3で設定される分周比に基づいて、前記基準クロック信号CKを分周して、基準信号frを位相比較器4に出力する。

【0004】前記位相比較器4には、比較分周器5から比較信号fpが出力される。そして、位相比較器4は前記基準信号frと比較信号fpとの周波数差及び位相差に応じたパルス信号ΦR、ΦPをチャージポンプ6に出力する。

【0005】前記チャージポンプ6は、位相比較器4から出力されるパルス信号ΦR、ΦPに基づいて、出力信号SCPをローパスフィルタ（以下LPFとする）7に出力する。

【0006】この出力信号SCPは、直流成分にパルス成分が含まれたものであり、その直流成分は前記パルス信号ΦR、ΦPの周波数変動に伴って昇降し、パルス成分はパルス信号ΦR、ΦPの位相差に基づいて変化する。

【0007】前記LPF7は、チャージポンプ6の出力

信号SCPを平滑して高周波成分を除去した出力信号SLPFを電圧制御発振器(以下VCOとする)8に出力する。

【0008】前記VCO8は、前記LPF7の出力信号SLPFの電圧値に応じた周波数の出力信号 f_{vco} を外周回路に出力するとともに、前記比較分周器5に出力する。前記比較分周器5は、パルススワロウ方式であって、プリスケアラ9と、メインカウンタ10と、スワロウカウンタ11と、制御回路12とから構成される。

【0009】前記VCO8の出力信号 f_{vco} は、前記プリスケアラ9に入力され、そのプリスケアラ9は入力信号 f_{vco} の周波数をM分周若しくはM+1分周して、メインカウンタ10及びスワロウカウンタ11に出力信号Poutとして出力する。

【0010】前記スワロウカウンタ11は、プリスケアラ9の出力信号PoutをA分周して、その出力信号を前記制御回路12に出力する。前記制御回路12は、スワロウカウンタ11の分周信号に基づいて、前記プリスケアラ9に例えばLレベルのモジュール制御信号MDを出力し、プリスケアラ9はそのモジュール制御信号MDに基づいて、入力信号 f_{vco} をM分周した出力信号Poutを出力する。

【0011】また、スワロウカウンタ11がA個のパルスをカウントしている間は、制御回路12は例えばHレベルのモジュール制御信号MDを出力し、プリスケアラ9はそのモジュール制御信号MDに基づいて、入力信号 f_{vco} をM+1分周した出力信号Poutを出力する。

【0012】前記メインカウンタ10の分周比は、前記シフトレジスタ3で設定され、プリスケアラ9の出力信号PoutをN分周して、前記位相比較器4に比較信号fpとして出力する。また、メインカウンタ10の分周信号は前記制御回路12に出力され、制御回路12はメインカウンタ10が入力信号PoutをN分周する毎に、スワロウカウンタ11に起動信号を出力する。

【0013】従って、上記PLL回路ではメインカウンタ10がプリスケアラ9の出力信号PoutをN分周する毎にスワロウカウンタ11が動作して、プリスケアラ9の出力信号Poutをカウントする。

【0014】上記のようなPLL回路では、前記VCO8の出力信号 f_{vco} のロックアップ速度を向上させるために、分数の分周比を設定可能としたプリスケアラ9を使用している。

【0015】このプリスケアラ9の一例を図7に示す。直列に接続された複数のアキュムレータ13a~13dの初段には、分数値データFDが入力され、各アキュムレータ13a~13dには前記基準信号frが入力される。

【0016】前記各アキュムレータ13a~13dから出力されるオーバーフロー信号OVFは、全加算器14に直接、あるいはデジタルディレイ素子を介して入力

される。

【0017】前記アキュムレータ13aは、オーバーフローを起こすと、そのリファレンスサイクルで分周比を+1する動作を行い、2段目のアキュムレータ13bはオーバーフロー信号により分周比を+1し、次のリファレンスサイクルは-1する動作を行う。

【0018】3段目のアキュムレータ13cは、オーバーフロー信号で+1、次のリファレンスサイクルで-2、さらに次で+1となり、4段目はオーバーフロー信号で+1、次に-3、さらに次には+3、その次で-1する動作を行う。

【0019】これらの信号を受けた全加算器14はその分周比変化分の和と、整数値データIDとの総和を分周データとして可変分周器15に出力する。このようなプリスケアラ9をたとえば分周比Mと、M+3/8分周で動作するように設定すると、図8に示すように動作して、8リファレンスサイクルのうち、M+1分周の動作が3回行なわれることにより、等価的にM+3/8分周動作が行なわれる。

【0020】このようなプリスケアラ9を使用することにより、基準周波数を高くして前記LPF7の時定数を小さくして、前記VCO8の出力信号周波数 f_{vco} のロックアップ速度を高速化することができるとともに、出力信号周波数 f_{vco} を細かなステップで変化させることが可能となる。

【0021】

【発明が解決しようとする課題】ところが、上記のようなプリスケアラ9を備えたPLL回路では、分数分周動作を等価的に行なっているため、プリスケアラ9の分周比がMとM+1との間でランダムに変化し、この変化が8リファレンスサイクル毎に繰り返される。

【0022】すると、プリスケアラ9の出力信号Poutに高周波成分が含まれ、その高周波成分によりVCO8の出力信号周波数 f_{vco} に変調がかけられて、その出力信号周波数 f_{vco} にスプリアスノイズが発生する。このスプリアスノイズは、例えばこのPLL回路を搭載した通信機器の受信性能を劣化させる。

【0023】このようなスプリアスノイズは、LPF7の時定数を大きくすることにより抑制することはできるが、LPF7の時定数を大きくすると、VCO8の出力信号周波数 f_{vco} のロックアップ速度が低下する。

【0024】従って、スプリアスノイズの抑制と、ロックアップ速度の向上とを両立させることが困難であった。この発明の目的は、スプリアスノイズの抑制と、ロックアップ速度の向上とを両立させ得るPLL回路を提供することにある。

【0025】

【課題を解決するための手段】図1は請求項1の原理説明図である。すなわち、位相シフト回路27は、入力信号 f_{vco} に基づいて、該入力信号 f_{vco} と同一の周波数

でそれぞれ一定の角度で位相をシフトした複数の位相シフト信号FFを生成する。選択回路28は、前記複数の位相シフト信号FFを選択信号Sに基づいて順次一つずつ選択して出力する。分周器29は、前記選択回路28の出力信号Xを所定の整数の分周比で分周する。選択信号生成回路32は、前記分周器29の分周信号Poutに基づいて前記選択信号Sを生成して前記選択回路28に出力する。カウンタ回路35は、前記分周器29の分周信号Poutを所定数カウントしたとき、そのカウントアップ信号を分数分周信号fpとして出力する。

【0026】請求項2では、前記基準クロック信号を分周して基準信号を生成する基準分周器と、前記基準信号と、比較信号との位相を比較する位相比較器と、前記位相比較器の出力信号を電圧信号に変換するチャージポンプと、前記チャージポンプの出力信号を平滑するローパスフィルタと、前記ローパスフィルタの出力電圧に基づく周波数のパルス信号を出力する電圧制御発振器と、前記電圧制御発振器の出力信号を分周して、前記比較信号として出力する比較分周器とからPLL回路が構成される。前記比較分周器は、前記電圧制御発振器の出力信号を、モジュール制御信号に基づいて、異なる分周比で交互に分周した分周信号を出力するプリスケアラと、前記プリスケアラの分周信号を分周して前記比較信号を生成するメインカウンタと、前記プリスケアラの分周信号を分周するスワロカウンタと、前記メインカウンタとスワロカウンタの分周信号に基づいて、前記モジュール制御信号を生成する制御回路とから構成される。前記プリスケアラは、前記電圧制御発振器の出力信号に基づいて、該出力信号と同一の周波数でそれぞれ一定の角度で位相をシフトした複数の位相シフト信号を生成する位相シフト回路と、前記複数の位相シフト信号を選択信号に基づいて順次一つずつ選択して出力する選択回路と、前記選択回路の出力信号を所定の整数の分周比で分周する分周器と、前記分周器の分周信号に基づいて前記選択信号を生成して前記選択回路に出力する選択信号生成回路と、前記分周器の分周信号を所定数カウントしたとき、そのカウントアップ信号を分数分周信号として出力するとともに、該分数分周信号をモジュール制御信号として前記選択回路に出力して、前記選択回路による前記位相シフト信号の選択を停止させる分数分周比設定用カウンタ回路とから構成される。

【0027】請求項3では、前記位相シフト回路は、電圧制御発振器の出力信号がクロック信号として入力され、そのクロック信号の位相を等間隔でずらした複数の位相シフト信号を生成する位相シフトフリップフロップ回路で構成され、前記選択回路は、前記選択信号に基づいて、前記位相シフト信号をその位相の順番で順次一つずつ選択して出力する。

【0028】請求項4では、前記位相シフト回路には、前記電圧制御発振器の出力信号が周波数を周波数通倍

器で通倍して入力し、前記周波数通倍器の通倍数と、前記位相シフト回路の位相シフト角度と、前記分数分周比設定用カウンタ回路のカウント数とに基づいて、分数分周比を設定可能とした。

【0029】(作用)請求項1では、位相シフト回路から出力される複数の位相シフト信号が選択回路で順次選択されて、分周器で分周されると、その分周器の分周信号が分数分周信号となる。その分数分周信号をカウンタ回路で所定数カウントすると、そのカウントアップ信号は、所定の分数分周信号となる。

【0030】請求項2では、プリスケアラで分数分周動作が行なわれ、そのプリスケアラの出力信号は、スワロカウンタのカウントアップ動作とメインカウンタのカウントアップ動作及び分数分周比設定用カウンタ回路のカウントアップ動作に基づいて、分数分周動作と整数分周動作とが切り替えられる。

【0031】請求項3では、電圧制御発振器の出力信号は、位相シフトフリップフロップ回路で位相が等間隔でずれた位相シフト信号に変換され、その位相シフト信号が選択回路によりその位相の順番で順次一つずつ選択して出力され、その選択回路の出力信号が分周器で分周されると、その分周器の分周比は分数となる。

【0032】請求項4では、周波数通倍器の通倍数と、位相シフト回路の位相シフト角度と、分数分周比設定用カウンタのカウント数とにより、分数分周比が設定される。

【0033】

【発明の実施の形態】

(第一の実施の形態)図2は、この発明を具体化した第一の実施の形態を示す。前記従来例と同一構成部分は、同一符号を付して説明する。

【0034】この実施の形態の比較分周器21は、周波数通倍器22と、 $1/4$ の整数倍の分数分周比で分周動作可能とした分数分周プリスケアラ23と、前記従来例と同様な構成のメインカウンタ10及びスワロカウンタ11と、2ビットのバイナリーカウンタにて、例えば3分周動作を行なう分数分周比設定用カウンタ24と、第一及び第二の制御回路25、26とから構成される。

【0035】前記第一及び第二の制御回路25、26は前記従来例の制御回路12と同様な構成である。すなわち、前記第一の制御回路25は、スワロカウンタ11の分周信号に基づいて、前記プリスケアラ23にLレベルのモジュール制御信号MD1を出力する。

【0036】また、前記スワロカウンタ11がA個のパルスをカウントしている間は、第一の制御回路25はHレベルのモジュール制御信号MD1をプリスケアラ23に出力する。

【0037】前記第二の制御回路26は、分数分周比設定用カウンタ24のカウントアップ信号に基づいて、前記プリスケアラ23にLレベルのモジュール制御信号M

D2を出力する。

【0038】また、前記分数分周比設定用カウンタ24が3個のパルスをカウントしている間は、第二の制御回路26はHレベルのモジュール制御信号MD2をプリスケラ23に出力する。前記比較分周器21以外の構成は、前記従来例と同様である。

【0039】前記周波数通倍器22は、前記VCO8の出力信号 f_{vco} の周波数を2倍に通倍した出力信号 $2f_{vco}$ を、前記分数分周プリスケラ23に出力する。前記分数分周プリスケラ23の具体的構成を図3に従って説明する。前記周波数通倍器22から入力される入力信号 $2f_{vco}$ は、フリップフロップ回路27にクロック信号CKとして入力される。

【0040】前記フリップフロップ回路27は、クロック信号CKの位相を90度ずつずらした出力信号FF0、FF90、FF180、FF270を出力する公知の($\pi/2$)シフトフリップフロップ回路で構成され、その出力信号FF0、FF90、FF180、FF270は、マルチプレクサ28に出力される。

【0041】前記マルチプレクサ28は、選択信号S1、S2に基づいて、入力信号FF0、FF90、FF180、FF270のいずれかを選択して、出力信号Xとして出力する。

【0042】前記マルチプレクサ28の出力信号は、可変分周部29に出力される。この可変分周部29は、フリップフロップ回路31a~31fと、OR回路30a、30bとから構成された公知の回路であり、前記モジュール制御信号MD1がHレベルとなると、フリップフロップ回路31d~31fの出力信号に関わらずOR回路30aの出力信号OR1がHレベルに固定されて、入力信号Xの4分周動作が行なわれる。

【0043】また、モジュール制御信号MD1がLレベルとなると、フリップフロップ回路31d~31fの出力信号のOR論理が出力信号OR1として前記フリップフロップ回路31cに出力されて、入力信号Xの5分周動作が行なわれる。そして、終段のフリップフロップ回路31fから出力信号Poutが出力される。

【0044】前記モジュール制御信号MD2は、OR回路30cに入力される。また、前記OR回路30cには、前記フリップフロップ回路31d~31fの出力信号が入力される。

【0045】従って、前記モジュール制御信号MD2がHレベルとなると、フリップフロップ回路31d~31fの出力信号に関わらずOR回路30cの出力信号OR2がHレベルに固定される。また、モジュール制御信号MD2がLレベルとなると、フリップフロップ回路31d~31fの出力信号のOR論理がOR回路30cから出力信号OR2として出力される。

【0046】前記OR回路30cの出力信号OR2は、図4に示すように、可変分周部29の出力信号Poutの

Lレベルの区間の後端部に同期して一定時間幅でLレベルとなるパルス信号となる。

【0047】前記OR回路30cの出力信号OR2は、Tフリップフロップ回路32aにクロック信号CKとして入力され、Tフリップフロップ回路32aの出力信号は前記選択信号S1として前記マルチプレクサ28に入力されるとともに、Tフリップフロップ回路32bにクロック信号CKとして入力される。また、Tフリップフロップ回路32bの出力信号は、前記選択信号S2として前記マルチプレクサ28に入力される。

【0048】前記選択信号S1、S2は、前記OR回路30cの出力信号OR2に基づいて、図4に示すような信号となり、このような選択信号S1、S2の変化に基づいて、前記マルチプレクサ28では入力信号FF0、FF90、FF180、FF270がこの順番で順次選択されて出力信号Xとして出力される。

【0049】次に、上記のように構成されたPLL回路の比較分周器21の動作を図4に従って説明する。周波数通倍器22から分数分周プリスケラ23に入力信号 $2f_{vco}$ が入力されると、フリップフロップ回路27から90度ずつ位相のずれた出力信号FF0、FF90、FF180、FF270がマルチプレクサ28に出力される。

【0050】マルチプレクサ28は、選択信号S1、S2に基づいて入力信号FF0、FF90、FF180、FF270のいずれかを選択して、可変分周部29に出力する。

【0051】選択信号S1、S2がともにLレベルであると、マルチプレクサ28は、入力信号FF0を選択して、出力信号Xとして出力する。マルチプレクサ28の出力信号Xは、可変分周部29で分周されて、プリスケラ23の出力信号Poutとして出力される。

【0052】メインカウンタ10、スワローカウンタ11及び分数分周比設定用カウンタ24のカウント動作により、モジュール制御信号MD1、MD2がともにLレベルであると、OR回路30cの出力信号OR2として、プリスケラ23の出力信号Poutの各周期の後端で一定時間Lレベルとなるパルス信号が出力される。

【0053】OR回路30cの出力信号OR2の最初の立ち下がりに基づいて、選択信号S1、S2はHレベルに立ち上がる。すると、マルチプレクサ28の出力信号Xは、出力信号OR2の最初の立ち下がりに基づいて、FF0からFF90に切り替えられる。。

【0054】この結果、可変分周部29のM分周動作の途中でFF0からFF90に切り替えられるため、プリスケラ23の出力信号Poutは、入力信号 $2f_{vco}$ をM+0.25分周したことになる。

【0055】次いで、プリスケラ23の出力信号Poutの第二のサイクルで、OR回路30cの出力信号OR2がLレベルに立ち下がると、選択信号S1はLレベル

となる。すると、マルチプレクサ28の出力信号Xは、FF90からFF180に切り替えられる。

【0056】この結果、可変分周部29のM分周動作の途中でFF90からFF180に切り替えられるため、プリスケアラ23の出力信号Poutの第二のサイクルでは、入力信号2f_{vco}をさらにM+0.25分周したことになる。

【0057】次いで、プリスケアラ23の出力信号Poutの第三のサイクルで、OR回路30cの出力信号OR2がLレベルに立ち下ると、選択信号S1はHレベルとなり、選択信号S2はLレベルとなる。すると、マルチプレクサ28の出力信号Xは、FF180からFF270に切り替えられる。

【0058】この結果、可変分周部29のM分周動作の途中でFF180からFF270に切り替えられるため、プリスケアラ23の出力信号Poutの第三のサイクルでは、入力信号2f_{vco}をさらにM+0.25分周したことになる。

【0059】3サイクルの出力信号Poutが分数分周比設定用カウンタ24に入力されると、その分数分周比設定用カウンタ24から第二の制御回路26に出力されるカウントアップ信号により、モジュール制御信号MD2はHレベルとなる。このような動作により、分数分周プリスケアラ23のカウントアップ信号は、入力信号2f_{vco}をM+0.75分周した分周信号となる。

【0060】モジュール制御信号MD2がHレベルとなると、OR回路30cの出力信号OR2はHレベルに固定されるため、選択信号S1、S2の変化が停止され、マルチプレクサ28の出力信号Xは、FF270に固定される。従って、プリスケアラ23の出力信号Poutは、入力信号2f_{vco}をM分周したものとなる。

【0061】このようなプリスケアラ23の出力信号Poutに基づいて、メインカウンタ10、スワローカウンタ11及び分数分周比設定用カウンタ24で分周動作を行なうと、比較分周器21の分周比は、MN+A+0.75となる。

【0062】上記のように構成された比較分周器21では、次に示す作用効果を得ることができる。

(イ) VCO8の出力信号周波数f_{vco}の分数分周が可能となるので、基準周波数を引き上げてロックアップ速度を向上させながら、使用可能な出力信号周波数f_{vco}のチャンネル数を増大させることができる。

(ロ) プリスケアラ23は、入力信号2f_{vco}をM+0.25分周した出力信号Poutと、M分周した出力信号Poutを所定時間ずつそれぞれ連続して出力するので、出力信号f_{vco}に発生するスプリアスノイズを低減することができる。

(ハ) 出力信号周波数f_{vco}に生じるスプリアスを低減することができるので、このPLL回路を使用した通信機器のCN特性を向上させることができる。

(第二の実施の形態) 図5は、この発明を具体化した第二の実施の形態を示す。この実施の形態は、前記実施の形態の構成に加えて、フリップフロップ回路33a、33bを付加した構成である。

【0063】すなわち、前記フリップフロップ回路32aの出力信号がフリップフロップ回路33aにデータDとして入力され、前記フリップフロップ回路32bの出力信号がフリップフロップ回路33bにデータDとして入力される。

【0064】前記フリップフロップ回路33a、33bには、前記マルチプレクサ28の出力信号Xがクロック信号Gとして入力され、そのフリップフロップ回路33a、33bの出力信号Qが前記選択信号S1、S2としてマルチプレクサ28に入力される。

【0065】このような構成により、マルチプレクサ28、フリップフロップ回路32a、32b等の動作遅延によるマルチプレクサ28の出力信号Xにおけるスパイクノイズの発生を防止することができる。この結果、プリスケアラ23の入出力信号の高周波数化に有利となる。

【0066】なお、前記実施の形態ではVCO8の出力信号周波数f_{vco}を2倍してフリップフロップ回路27に入力し、フリップフロップ回路27では90度ずつ位相をずらし、分数分周比設定用カウンタ24ではプリスケアラ23の出力信号Poutを3分周することにより、M+0.75分周動作を可能としたが、上記設定を変更すれば、他の分数分周比を設定することもできる。

【0067】

【発明の効果】以上詳述したように、この発明はスプリアスノイズの抑制と、ロックアップ速度の向上とを両立させ得るPLL回路を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第一の実施の形態を示すブロック図である。

【図3】 第一の実施の形態の分数分周プリスケアラを示すブロック図である。

【図4】 第一の実施の形態の動作を示すタイミング波形図である。

【図5】 第二の実施の形態を示すブロック図である。

【図6】 従来例を示すブロック図である。

【図7】 従来例の分数分周プリスケアラを示すブロック図である。

【図8】 従来例の分数分周プリスケアラの動作を示すタイミング波形図である。

【符号の説明】

27 位相差シフト回路

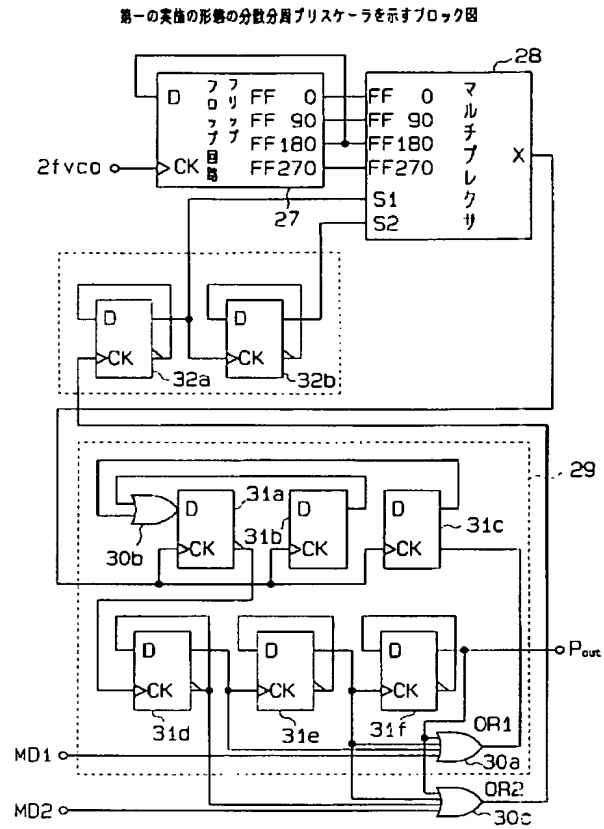
28 選択回路

29 分周器

32 選択信号生成回路

35 カウンタ回路

【図3】



【図5】

